

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-288295

(43)公開日 平成8年(1996)11月1日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/3213		H 0 1 L 21/88	C
	21/3205			K
	27/04		27/04	D
	21/822		27/08	1 0 2 D
	21/8234		29/62	G
審査請求 未請求 請求項の数 2 O L (全 6 頁) 最終頁に続く				

(21)出願番号 特願平7-92838

(22)出願日 平成7年(1995)4月18日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 岡本 裕

東京都品川区北品川6丁目7番35号 ソニー株式会社内

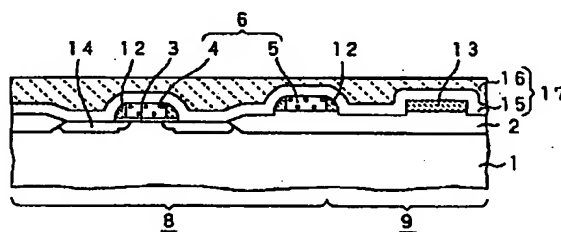
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【構成】 所定の配線パターン6が形成されてなるウェハに対し、全面に亘ってサイドウォール形成用絶縁膜を成膜し、配線パターン6が相対的に疎に配置されている周辺回路部9上に、配線パターン6を重複しない所定パターンを有するレジストマスクを形成してから、前記サイドウォール形成用絶縁膜を異方性エッチングすることにより、配線パターン6の側壁にサイドウォール12を形成すると同時にダミーパターン13を形成する。その後、レジストマスクを除去し、ウェハ全面に亘って平坦化絶縁膜17を形成する。

【効果】 配線パターン6の粗密による平坦化絶縁膜17の段差を解消できる。また、ダミーパターン13を形成するために大幅な工程増を伴わない。したがって、段差のない平坦化絶縁膜17が形成された、信頼性の高い半導体装置を、低コストに歩留まりよく製造することが可能となる。



6... 配線パターン 12... サイドウォール
8... メモリセル部 13... ダミーパターン
9... 周辺回路部 17... 平坦化絶縁膜

平坦化絶縁膜が形成されたウェハ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-288295

(43)Date of publication of application : 01.11.1996

(51)Int.Cl.

H01L 21/3213

H01L 21/3205

H01L 27/04

H01L 21/822

H01L 21/8234

H01L 27/088

H01L 29/43

(21)Application number : 07-092838

(71)Applicant : SONY CORP

(22)Date of filing : 18.04.1995

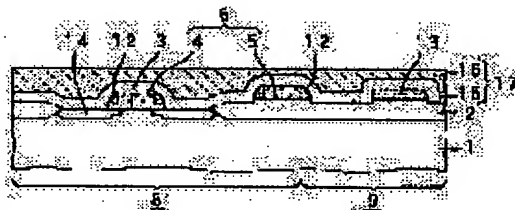
(72)Inventor : OKAMOTO YUTAKA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the creation of a level difference at the flattened insulating film due to compression in wiring pattern by flattening a substrate having fined and multi-layered wiring patterns.

CONSTITUTION: A predetermined wiring pattern 6 is formed on a substrate 1, and an insulating film for forming side walls is formed to the whole surface of the substrate 1. Next, a resist mask having a predetermined pattern not overlapped with the wiring pattern 6 is applied to the insulating film in a region where the wiring pattern 6 is arranged to a relatively non-dense form. Next, by performing anisotropic etching for the insulating film, a side wall 12 is formed at the side wall of the wiring pattern 6 and, at the same time, a dummy pattern 13 is formed in the region where the wiring pattern is arranged relatively to a non-dense form. Then, the resist mask is removed, a flattened insulating film 17 is formed on the whole surface of the substrate 1. By doing this, a level difference at the flattened insulating film created by the compression of the wiring pattern 6 can be eliminated.



LEGAL STATUS

[Date of request for examination] 01.11.2000

[Date of sending the examiner's decision of rejection] 08.10.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office